



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0024429
Application Number

출원 년 월 일 : 2003년 04월 17일
Date of Application APR 17, 2003

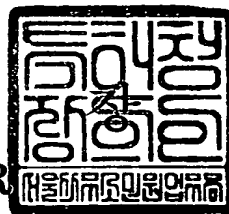
출원인 : 삼성에스디아이 주식회사
Applicant(s) SAMSUNG SDI CO., LTD.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.04.17
【발명의 명칭】	화이트밸런스가 개선된 평판표시장치
【발명의 영문명칭】	Flat Panel Display with improved white balance using MILC
【출원인】	
【명칭】	삼성에스디아이 주식회사
【출원인코드】	1-1998-001805-8
【대리인】	
【성명】	박상수
【대리인코드】	9-1998-000642-5
【포괄위임등록번호】	2000-055227-0
【발명자】	
【성명의 국문표기】	구재본
【성명의 영문표기】	KOO, JAE BON
【주민등록번호】	720706-1767718
【우편번호】	449-766
【주소】	경기도 용인시 수지읍 풍림아파트 105동 504호
【국적】	KR
【발명자】	
【성명의 국문표기】	박지용
【성명의 영문표기】	PARK, JI YONG
【주민등록번호】	700331-1823311
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 993-5, 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	이을호
【성명의 영문표기】	LEE, UL HO
【주민등록번호】	720614-1575710

【우편번호】 449-906
【주소】 경기도 용인시 기흥읍 서천리 157-1
【국적】 KR
【발명자】
【성명의 국문표기】 김진수
【성명의 영문표기】 KIM, JIN S00
【주민등록번호】 690405-1052526
【우편번호】 449-907
【주소】 경기도 용인시 기흥읍 신갈리 165 현대아파트 201동 602호
【국적】 KR
【발명자】
【성명의 국문표기】 정진웅
【성명의 영문표기】 JUNG, JIN WOUNG
【주민등록번호】 730402-2221727
【우편번호】 442-726
【주소】 경기도 수원시 팔달구 영통동 벽적골9단지아파트 909-1504
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
한 출원심사 를 청구합니다. 대리인
박상수 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 6 항 301,000 원
【합계】 330,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 각 화소의 R, G, B 단위화소에 있어서, 구동 트랜지스터의 채널영역에 포함되는 비정질 실리콘막의 길이에 따라 전류이동도를 달리하여 화이트 밸런스를 개선할 수 있는 평판표시장치를 개시한다.

본 발명의 평판표시장치는 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 하나의 단위화소의 트랜지스터는 서로 다른 막질의 실리콘층으로 이루어진 채널층을 구비하는 것을 특징으로 한다.

상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 서로 다른 막질의 실리콘층으로 이루어진 채널층을 구비하고, 상기 적어도 2개의 단위화소의 트랜지스터의 채널층은 전류이동도가 낮은 막질로 이루어진 실리콘층의 길이가 서로 다른 것을 특징으로 한다. 상기 R, G, B 단위화소는 각각 발광소자를 포함하며, 각 단위화소의 발광소자중 발광효율이 가장 낮은 발광소자에 대응하는 트랜지스터는 채널영역의 전류이동도가 낮은 막질의 실리콘층의 길이가 발광효율이 낮은 발광소자에 대응하는 트랜지스터의 채널영역의 전류이동도가 낮은 막질의 실리콘층의 길이보다 작거나 없는 것을 특징으로 한다.

【대표도】

도 2d

【명세서】

【발명의 명칭】

화이트밸런스가 개선된 평판표시장치{Flat Panel Display with improved white balance using MILC}

【도면의 간단한 설명】

도 1은 종래의 평판표시장치의 R, G, B 단위화소의 배열상태를 도시한 도면,

도 2a 내지 도 2d는 본 발명의 실시예에 따른 평판표시장치에 있어서, R, G, B 단위화소의 구동 트랜지스터를 제조하는 방법을 설명하기 위한 공정단면도,

도면의 주요 부분에 대한 부호의 설명

200 : 절연기판 210, 211, 213 : 비정질 실리콘막

230 : MILC용 금속층 221, 223, 225 : MILC용 마스크

240 : 다결정실리콘막 241, 243, 245 : MILC 다결정실리콘막

247 : MIC 폴리실리콘막 260 : 게이트 절연막

271, 273, 275 : 게이트 281, 283, 285 : 소오소/드레인영역

282, 284, 286 : 채널층 251, 253, 255 : 반도체층

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<10> 본 발명은 풀칼라 평판표시장치에 관한 것으로서, 보다 구체적으로는 MILC 공정을 이용하여 R, G, B 단위화소별 구동 트랜지스터의 채널층에 포함되는 비정질 실리콘막의 길이를 다

르게 하여 저항값을 변화시켜 줌으로써, 화이트밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법에 관한 것이다.

<11> 일반적으로, 평판표시장치인 유기전계 발광표시장치는 도 1에 도시된 바와같이 매트릭스 형태로 배열된 다수의 화소(100)를 구비하며, 각 화소(100)가 적색(R)을 구현하기 위한 단위화소(110R), 녹색(G)을 구현하기 위한 단위화소(120G), 청색(B)을 구현하기 위한 단위화소(130B)의 3개의 단위화소로 이루어진다.

<12> 상기 R 단위화소(110R)는 적색(R) 발광층을 구비한 적색 EL소자(115)와, 상기 적색 EL소자(115)에 전류를 공급하기 위한 구동 트랜지스터(113)와, 상기 구동 트랜지스터(113)로부터 적색 EL소자(113)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(111)로 이루어진다. 상기 G 단위화소(120G)는 녹색(G) 발광층을 구비한 녹색 EL 소자(125)와, 상기 녹색 EL소자(125)에 전류를 공급하기 위한 구동 트랜지스터(123)와, 상기 구동트랜지스터(123)로부터 녹색EL 소자(123)로의 전류공급을 스위칭하기 위한 스위칭 트랜지스터(121)로 이루어진다. 상기 B 단위화소(130B)는 청색(B) 발광층을 구비한 청색 EL소자(135)와, 상기 청색 EL소자(135)에 전류를 공급하기 위한 구동 트랜지스터(133)와, 상기 구동트랜지스터(133)로부터 상기 청색EL소자(135)로의 전류공급을 스위칭하기 스위칭 트랜지스터(131)로 이루어진다.

<13> 통상적으로, OLED 의 R, G, B 단위화소(110R, 120G, 130B)는 구동 트랜지스터(113, 123, 133)의 크기 즉, 채널층의 길이(L)에 대한 폭(W)의 비(W/L)가 모두 일정하고, EL소자(113, 123, 133)는 B, R, G 단위화소순으로 높은 발광효율을 갖는다. 그러므로, R, G, B 단위화소(110R, 120G, 130B)는 구동 트랜지스터(113, 123, 133)의 채널층의 길이가 동일한 반면에 각 R, G, B 단위화소의 EL층(115, 125, 135)의 발광효율이 서로 다르기 때문에, 화이트 밸런스(white balance)를 구현하기 어려웠다.

- <14> 화이트 밸런스를 구현하기 위해서는, 발광효율이 높은 EL 소자, 예를 들어 녹색 EL소자에는 상대적으로 작은 양의 전류를 공급하여야 하며, 발광효율이 낮은 적색 및 청색 EL 소자에는 상대적으로 커다란 양의 전류를 공급해주어야 한다.
- <15> 이때, 구동 트랜지스터를 통해 EL소자로 흐르는 전류(I_d)는 구동 트랜지스터가 포화상태에서 동작할 때이므로, 식 (1)과 같이 표현된다
- <16>
$$I_d = C_{ox} \mu W \{(V_g - V_{th})\}^2 / 2L \dots\dots(1)$$
- <17> 그러므로, 화이트 밸런스를 구현하기 위해 EL소자로 흐르는 전류를 제어하기 위한 방법 중 하나로 R, G, B 단위화소의 구동 트랜지스터의 크기 즉, 트랜지스터의 채널층의 길이(L)에 대한 폭(W)의 비(W/L)를 다르게 하여 R, G, B 단위화소의 EL소자에 흐르는 전류량을 조절하는 방법이 있다. 이와같이 트랜지스터의 크기에 따라 EL 소자로 흐르는 전류량을 조절하는 방법은 일본특허 공개공보 2001-109399호에 개시되었다. 일본특허는 R, G, B 단위화소별 EL 소자의 발광효율에 따라 R, G, B 단위화소의 구동 트랜지스터의 크기를 다르게 형성하였다. 즉, 발광효율이 높은 녹색(G)을 구현하기 위한 단위화소의 구동 트랜지스터의 크기를 상대적으로 발광효율이 낮은 적색(R) 또는 청색(B)을 구현하기 위한 단위화소의 구동 트랜지스터보다 작게 형성하여 줌으로써, R, G, B 단위화소의 EL 소자로 흐르는 전류량을 제어하였다.
- <18> 화이트 밸런스를 구현하기 위한 또 다른 방법으로 R, G, B 단위화소의 발광층의 면적을 다르게 형성하는 방법이 있는데, 이는 일본공개특허 2001-290441에 개시되었다. 상기 일본특허는 R, G, B 단위화소의 EL소자의 발광효율에 따라 발광면적을 서로 다르게 형성하여, R, G, B 단위화소의 휘도를 동일하게 발생시켰다. 즉, 발광효율이 높은 G 단위화소보다 발광효율이 낮은 R 단위화소 또는 B 단위화소의 발광면적을 상대적으로 크게 형성하여 R, G, B 단위화소를 통해 동일한 휘도가 발생되도록 하였다.

<19> 그러나, 상기한 바와같은 종래의 화이트 밸런스를 구현하기 위한 방법은 R, G, B 단위화소중 발광효율이 낮은 단위화소의 발광면적을 크게 형성하거나, 또는 R, G, B 단위화소중 발광효율이 낮은 단위화소의 트랜지스터의 크기를 증가시켜 줌으로써, 각 화소가 차지하는 면적이 증가하게 되고, 이에 따라 고해상도에 적용하기 어려운 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

<20> 따라서, 본 발명은 상기한 바와같은 종래 기술의 문제점을 해결하기 위한 것으로서, 화소면적을 증가시키 않고 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 그 목적이 있다.

<21> 본 발명의 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 채널층의 저항값을 다르게 형성하여 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 있다.

<22> 본 발명의 또 다른 목적은 R, G, B 단위화소별 구동 트랜지스터의 채널층에 포함되는 비정질 실리콘막의 길이를 다르게 형성하여 화이트 밸런스를 구현할 수 있는 평판표시장치 및 그의 제조방법을 제공하는 데 있다.

【발명의 구성 및 작용】

<23> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명은 각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 각 단위화소는 트랜지스터를 구비하는 다수의 화소를 포함하며, 상기 R, G, B 단위화소중 적어도 하나의 단위화소의 트랜지스터는 서로 다른 막질의 실리콘층으로 이루어진 채널영역을 구비하는 평판표시장치를 제공하는 것을 특징으로 한다.

- <24> 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 서로 다른 막질의 실리콘층으로 이루어진 채널영역을 구비하며, 상기 트랜지스터의 채널영역은 상기 실리콘층중 전류이동도가 낮은 실리콘층의 길이가 서로 다른 것을 특징으로 한다.
- <25> 상기 R, G, B 단위화소는 각각 발광소자를 구비하고, R, G, B 단위화소의 발광소자중 발광효율이 가장 낮은 발광소자에 대응하는 트랜지스터의 채널영역은 상기 발광소자보다 발광효율이 높은 발광소자에 대응하는 트랜지스터의 채널영역보다 전류이동도가 낮은 막질의 실리콘층의 길이가 작거나 없는 것을 특징으로 한다.
- <26> 상기 트랜지스터의 채널층은 비정질 실리콘층과 다결정 실리콘층으로 이루어지고, 상기 전류이동도가 낮은 막질의 실리콘층은 비정질 실리콘층인 것을 특징으로 한다.
- <27> 또한, 본 발명은 R, G, B 단위화소를 각각 포함하며, 각 단위화소는 트랜지스터를 포함하는 평판표시장치에 있어서, 절연기판상에 비정질 실리콘막을 형성하는 단계와; 상기 비정질 실리콘막상에 제1 내지 제3MILC 마스크를 형성하는 단계와; 기판전면에 MILC 용 금속막을 증착하는 단계와; 제1 내지 제3마스크 하부에만 비정질 실리콘막이 부분적으로 남도록 비정질 실리콘막을 다결정실리콘막으로 결정화하는 단계와; 상기 제1 내지 제3MILC용 마스크와 MILC 용 금속막을 제거하는 단계와; 다결정실리콘막사이에 비정질 실리콘막이 존재하도록 상기 다결정실리콘막을 패터닝하여 상기 R, G, B 단위화소의 트랜지스터의 반도체층을 형성하는 단계를 포함하며, 상기 R, G, B 단위화소의 트랜지스터의 채널영역은 다결정실리콘막사이에 존재하는 비정질 실리콘막의 길이에 따라 채널영역의 저항값이 결정되는 평판표시장치의 제조방법을 제공하는 것을 특징으로 한다.
- <28> 이하, 본 발명의 실시예를 첨부된 도면을 참조하여 설명하면 다음과 같다.

- <29> 도 2a 내지 도 2d는 본 발명의 실시예에 따른 유기전계 발광표시장치의 제조방법을 설명하기 위한 공정단면도를 도시한 것이다. 도 2a 내지 도 2d의 단면구조는 유기전계 발광표시장치에 있어서, 각 화소의 R, G, B 단위화소중 구동 트랜지스터에 한정하여 도시한 것이다.
- <30> 도 2a를 참조하면, 절연기판(200)상에 도면에는 도시되지 않았으나 버퍼층을 형성하고, 그위에 비정질 실리콘막(210)을 형성한다. 이어서, 상기 비정질 실리콘막(210)상에 MILC 용 다수의 마스크(221, 223, 225)를 형성하고, 기판전면에 금속층(230)을 형성한다.
- <31> 이때, 상기 MILC 용 마스크(221, 223, 225)는 서로 다른 폭을 갖도록 형성되는데, 제2마스크(223), 제1마스크(221), 및 제3마스크(225)의 순으로 큰폭을 갖도록 형성된다. 상기 제1마스크(221)는 R, G, B 단위화소중 R 단위화소의 구동트랜지스터(도 1의 113)가 형성될 부분에 대응하여 형성되고, 상기 제2마스크(223)는 G 단위화소의 구동 트랜지스터(도1의 123)가 형성될 부분에 대응하여 형성되며, 상기 제3마스크(225)는 B 단위화소의 구동 트랜지스터(도 1의 133)가 형성될 부분에 대응하여 형성된다.
- <32> 도 2b를 참조하면, 상기 비정질 실리콘막(210)을 다결정실리콘막(240)으로 결정화시켜 주기 위한 결정화공정이 수행하는데, 상기 비정질 실리콘막(210)중 상기 마스크(221, 223, 225)에 대응되는 부분은 MILC 에 의해 결정화되어 다결정실리콘막(241, 243, 245)으로 결정화되고, 마스크(221, 223, 225)사이의 상기 금속층(230)과 직접 콘택되는 부분은 MIC에 의해 다결정 실리콘막(247)으로 결정화된다.
- <33> 이때, 상기 MILC용 제1 내지 제3마스크(221, 223, 225)의 폭이 서로 다르므로, 상대적으로 폭이 작은 제3마스크에 대응하는 부분에서는 모두 MILC에 의해 결정화되고, 상대적으로 폭이 큰 제1 및 제2마스크(221), (223)에 대응하는 부분에서는 일부만이 MILC에 의해 결정화되므로 비정질 실리콘막(211), (213)이 남아있게 된다.

<34> 즉, 제1마스크(221)에 대응하는 부분에서는 다결정실리콘막(240)중 MILC 에 의해 결정화된 부분(241)사이에 비정질 실리콘막(211)이 존재하고, 제2마스크에 대응하는 부분에서는 다결정실리콘막(240)중 MILC에 의해 결정화된 부분(243)사이에 비정질 실리콘막(213)이 존재한다. 그리고, 제1마스크(221)의 폭이 제2마스크(223)의 폭보다 상대적으로 작으므로, 상기 비정질 실리콘막(213)의 길이는 제1마스크(221)에 대응하는 부분의 비정질 실리콘막(211)의 길이보다 크다.

<35> 도 2c를 참조하면, 상기 MILC 용 마스크(221, 223, 225)와 금속층(230)을 제거한 다음, 반도체층을 형성하기 위한 마스크(도면상에는 도시되지 않음)를 이용하여 상기 다결정실리콘막(240)을 패터닝하여 R, G, B 단위화소의 구동 트랜지스터용 반도체층(251), (253), (255)을 형성한다. R, G, B 단위화소중 R 단위화소의 구동 트랜지스터용 반도체층(251)는 다결정실리콘막(240)중 MILC 에 의한 결정화된 부분(241)과 이들사이에 존재하는 비정질 실리콘막(211)으로 이루어진다. G 단위화소의 구동 트랜지스터용 반도체층(253)은 다결정실리콘막중 MILC 에 결정화된 부분(243)과 이들사이에 존재하는 비정질 실리콘막(213)으로 이루어진다. 한편, B 단위화소의 구동 트랜지스터용 반도체층(255)은 다결정실리콘막중 MILC 에 의해 결정화된 다결정실리콘막(245)으로만 이루어진다.

<36> 도 2d를 참조하면, 상기 반도체층(251, 253, 255)을 포함하는 기판전면상에 게이트 절연막(260)을 증착하고, 그위에 금속막과 같은 도전성 물질을 증착한 다음 게이트 형성용 마스크(도면상에는 도시되지 않음)를 이용하여 상기 도전성물질을 패터닝하여 R, G, B 단위화소별 구동 트랜지스터의 게이트(271, 273, 275)를 형성한다. 이어서, 상기 게이트(271, 273, 275)를 마스크로 하여 상기 반도체층(251, 253, 255)으로 소정 도전형의 고농도 불순물을 이온주입하여 구동 트랜지스터의 소오스/드레인 영역(281, 283, 285)를 형성한다.

- <37> 이후 도면상에는 도시되지 않았으나, 기판전면에 층간 절연막을 형성하고, 상기 층간 절연막과 게이트 절연막(260)을 식각하여 상기 소오스/드레인 영역(281, 283, 285)을 노출시키는 콘택홀을 형성하고, 상기 콘택홀을 통해 소오스/드레인 영역(281, 283, 285)과 전기적으로 연결되는 소오스/드레인 전극을 형성하면 구동 트랜지스터가 제조된다.
- <38> 상기한 바와 같은 방법으로 제작된 본 발명의 평판표시장치에서는, R단위화소의 구동 트랜지스터의 채널층(282)은 MILC에 의한 다결정실리콘막(241)과 비정질 실리콘막(211)으로 이루어지고, 채널층의 길이(Lrc)는 다결정실리콘막(241)의 길이(Lr1, Lr2)와 비정질 실리콘막(211)의 길이(Lra)의 합 $Lrc = Lr1 + Lra + Lr2$ 가 된다. 그리고, G단위화소의 구동 트랜지스터의 채널층(284)은 MILC에 의한 다결정실리콘막(243)과 비정질 실리콘막(213)으로 이루어지고, 채널층의 길이(Lgc)는 다결정실리콘막(243)의 길이(Lg1, Lg2)와 비정질 실리콘막(213)의 길이(Lga)의 합 $Lgc = Lg1 + Lga + Lg2$ 가 된다. 또한, B 단위화소의 구동 트랜지스터의 채널층(286)은 MILC에 의한 다결정실리콘막(245)만으로 이루어지고, 채널층의 길이(Lbc)는 다결정실리콘막(245)의 길이(Lb)와 같다.
- <39> R, G, B 단위화소별 구동 트랜지스터에서, 채널층(282, 284, 286)의 길이는 모두 $Lrc = Lgc = Lbc$ 로 동일하므로, 각 채널층에 포함되는 비정질 실리콘막의 길이에 따라 구동 트랜지스터의 채널층의 저항값이 변하게 된다. 즉, 본 발명의 실시예에서는 R, G, B 단위화소의 EL 소자의 발광효율에 따라 채널층의 저항값이 결정되도록 구성하였는데, 상대적으로 발광효율이 가장 낮은 B 단위화소의 채널층(286)은 MILC에 의한 다결정실리콘막으로 이루어지므로, 상대적으로 채널층의 저항값이 낮다.
- <40> 또한, 상대적으로 발광효율이 높은 R 또는 G 단위화소의 채널층(282), (284)은 다결정실리콘막사이에 비정질 실리콘막이 존재하여 채널층의 저항값을 상대적으로 증가시킨다. 이때, R

단위화소의 EL소자보다는 G 단위화소의 EL 소자의 발광효율이 높으므로, R 단위화소의 채널층(282)에 존재하는 비정질 실리콘막(211)의 길이(Lra)가 G 단위화소의 채널층(284)에 존재하는 비정질 실리콘막(213)의 길이(Lga)보다 상대적으로 짧게 형성되도록 형성하였다.

<41> 따라서, 본 발명에서는 R, G, B 단위화소의 구동트랜지스터의 채널층의 길이를 동일하게 형성하는 반면에 R, G, B 단위화소의 구동 트랜지스터의 채널층에 존재하는 비정질 실리콘막이 서로 다른 길이를 갖도록 형성하여 줌으로써, 각 구동 트랜지스터의 채널층의 저항값이 서로 다른 값을 갖도록 형성하여 화이트 밸런스를 구현할 수 있다.

<42> 본 발명의 실시예에서는, MILC 공정을 통하여 채널층에 비정질 실리콘막이 존재하도록 결정화공정을 수행하므로써, R, G, B 단위화소별 구동 트랜지스터의 채널층의 저항값을 변화시켜 주도록 하였으나, MILC 공정 대신에 다른 결정화공정을 수행하여 채널층에 서로 다른 길이를 갖는 비정질 실리콘막이 포함되도록 하여 R, G, B 단위화소의 구동 트랜지스터의 저항값을 변화시켜 주는 방식은 모두 적용가능하다. 그리고, B 단위화소의 구동 트랜지스터의 채널층에는 비정질 실리콘막이 존재하지 않도록 하였으나, 반드시 이에 국한되는 것이 아니라 R 또는 G 단위화소의 채널층에 대하여 화이트 밸런스를 구현할 수 있는 정도의 저항값을 갖도록 비정질 실리콘막을 포함하는 구조로도 형성가능하다.

<43> 또한, 본 발명에서는 MILC 결정화시 결정화온도 또는 결정화시간을 조절하여 각 채널층에 비정질 실리콘막이 존재하도록 결정화공정을 수행하는 것도 가능하며, 각 단위화소의 스위칭 트랜지스터의 채널영역을 모두 MILC 다결정실리콘막으로 형성하거나 또는 R 및 G 단위화소의 구동 트랜지스터는 다결정실리콘막사이에 비정질 실리콘막이 존재하고 B 단위화소의 구동 트랜지스터는 다결정실리콘막으로된 채널영역을 형성할 수도 있다.

【발명의 효과】

- <44> 상기한 바와같은 본 발명의 실시예에 따르면, R, G, B 단위화소의 채널층의 저항값을 변화시켜 줌으로써 화소면적의 증가없이 화이트밸런스를 구현할 수 있다.
- <45> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

각각 적색(R), 녹색(G), 청색(B)을 구현하기 위한 R, G, B 단위화소를 구비하고, 상기 단위화소는 각각 트랜지스터를 구비하는 다수의 화소를 포함하며,

상기 R, G, B 단위화소중 적어도 하나의 단위화소의 트랜지스터는 서로 다른 막질의 실리콘층으로 이루어진 채널영역을 구비하는 것을 특징으로 하는 평판표시장치.

【청구항 2】

제1항에 있어서, 상기 R, G, B 단위화소중 적어도 2개의 단위화소의 트랜지스터는 적어도 하나이상의 서로 다른 막질의 실리콘층으로 이루어지는 채널영역을 구비하고, 상기 채널영역의 전류이동도가 낮은 막질의 실리콘층의 길이가 서로 다른 것을 특징으로 하는 평판표시장치.

【청구항 3】

제2항에 있어서, 상기 R, G, B 단위화소는 각각 발광소자를 구비하고, R, G, B 단위화소의 발광소자중 발광효율이 가장 낮은 발광소자에 대응하는 트랜지스터의 채널영역은 상기 발광소자보다 발광효율이 높은 발광소자에 대응하는 트랜지스터의 채널영역보다 전류이동도가 낮은 막질의 실리콘층의 길이가 작거나 없는 것을 특징으로 하는 평판표시장치.

【청구항 4】

제1항에 있어서, 상기 채널영역은 다결정 실리콘층과 비정질 실리콘층으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 5】

제2항 또는 제3항에 있어서, 상기 채널영역의 전류이동도가 낮은 실리콘층은 비정질 실리콘층으로 이루어지는 것을 특징으로 하는 평판표시장치.

【청구항 6】

R, G, B 단위화소를 각각 포함하며, 각 단위화소는 트랜지스터를 포함하는 평판표시장치에 있어서,

절연기판상에 비정질 실리콘막을 형성하는 단계와;

상기 비정질 실리콘막상에 제1 내지 제3MILC 마스크를 형성하는 단계와;

기판전면에 MILC 용 금속막을 증착하는 단계와;

제1 내지 제3마스크 하부에만 비정질 실리콘막이 부분적으로 남도록 비정질 실리콘막을 다결정실리콘막으로 결정화하는 단계와;

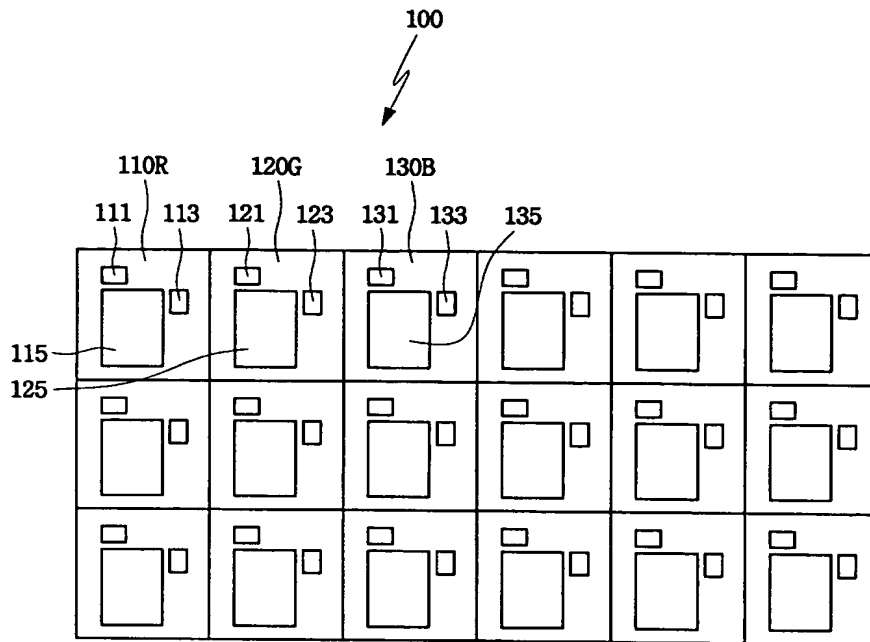
상기 제1 내지 제3MILC용 마스크와 MILC 용 금속막을 제거하는 단계와;

다결정실리콘막사이에 비정질 실리콘막이 존재하도록 상기 다결정실리콘막을 패터닝하여 상기 R, G, B 단위화소의 트랜지스터의 반도체층을 형성하는 단계를 포함하며,

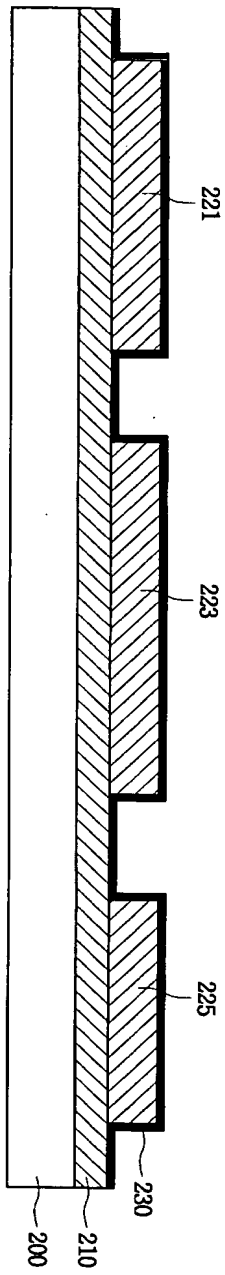
상기 R, G, B 단위화소의 트랜지스터의 채널영역은 다결정실리콘막사이에 존재하는 비정질 실리콘막의 길이에 따라 채널영역의 저항값이 결정되는 것을 특징으로 하는 평판표시장치의 제조방법.

【도면】

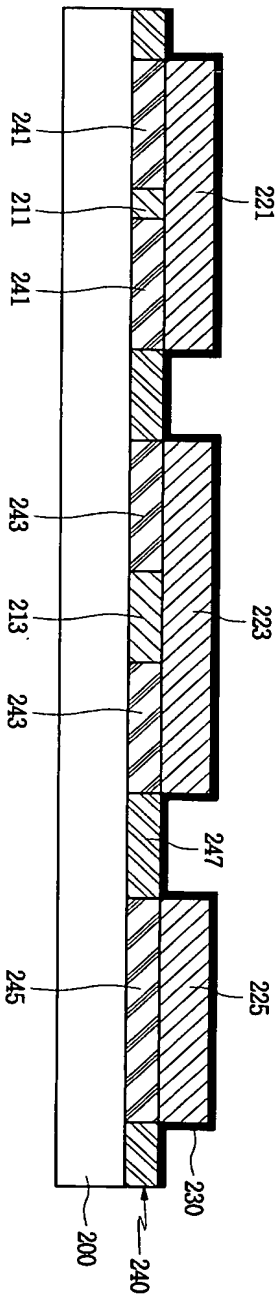
【도 1】



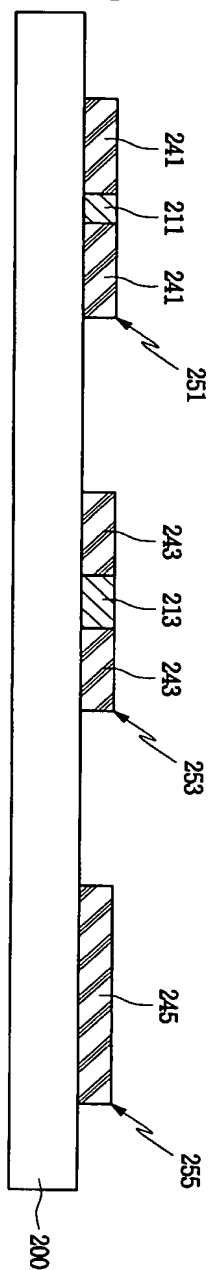
【도 2a】



【도 2b】



【도 2c】



【도 2d】

